

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-315906

(43)Date of publication of application : 26.11.1993

(51)Int.Cl.

H03K 5/00

(21)Application number : 04-062918 (71)Applicant : NEC CORP

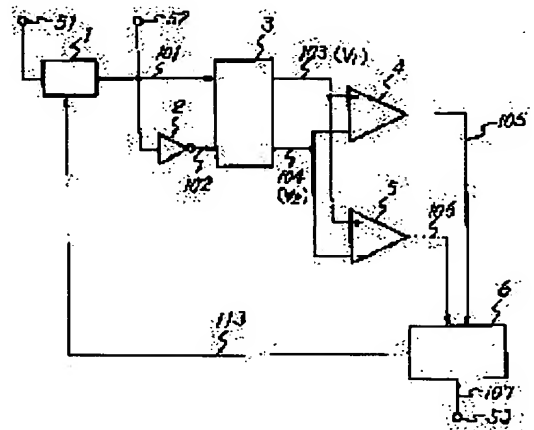
(22)Date of filing : 19.03.1992 (72)Inventor : DAIMON YOSHIAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To attain a semiconductor integrated circuit for forming a system clock without exerting influence upon duty due to the variation of a diffusion state, an oscillator or the like.

CONSTITUTION: The semiconductor integrated circuit is provided with an oscillation circuit 1 for generating system clocks, a charging circuit 3 for inputting an oscillation output signal 101 and its inverted oscillation output signal 102, executing charging action and outputting a charging voltage output 103 corresponding to the signal 101 and a charging voltage output 104 corresponding to the signal 102, comparators 4, 5 for inputting the output 103 to respective positive phase input terminals, inputting the output 104 to respective reverse phase input terminals, mutually comparing the charging voltage levels of both inputs 103, 104 and outputting compared output signals 105, 106, and a duty correcting circuit 6 for inputting a correction start signal 107, outputting a duty compensation signal 113 through the signals 105, 106 of the comparators 4, 5 and sending the signal 113 to the circuit 1 to form and output system clocks.



LEGAL STATUS

[Date of request for examination] 28.03.1996

[Date of sending the examiner's decision of rejection] 08.05.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-315906

(43) 公開日 平成5年(1993)11月26日

(51) IntCl.⁵

H 0 3 K 5/00

識別記号

庁内整理番号

F I

技術表示箇所

M 7402-5 J

審査請求 未請求 請求項の数 1 (全 5 頁)

(21) 出願番号 特願平4-62918

(22) 出願日 平成4年(1992)3月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大門 義明

東京都港区芝五丁目7番1号日本電気株式会社内

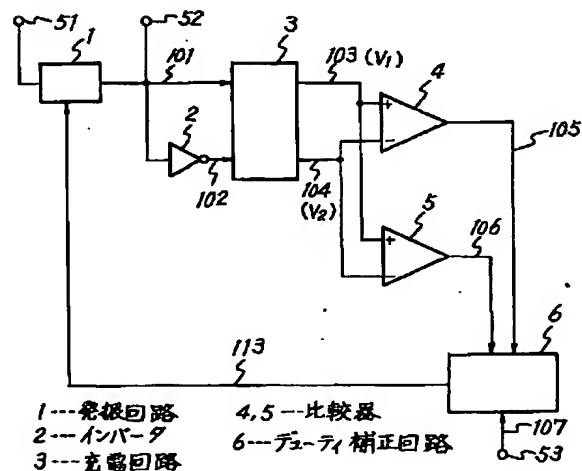
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】 (修正有)

【目的】 拡散状態、振動子等の変動によりデューティに影響を受けないシステム・クロックを生成する半導体集積回路を実現する。

【構成】 システム・クロックを発生する発振回路1と、発振出力信号101と、その反転発振出力信号102とを入力して、充電作用を行い、発振出力信号101に対応する充電電圧出力103と、反転発振出力信号102に対応する充電電圧出力104とを出力する充電回路3と、充電電圧出力103を正相入力端に入力し、充電電圧出力104を逆相入力端に入力して、これらの充電電圧レベルを比較して比較出力信号105、106を出力する比較器4、5と、補正開始信号107を入力し、比較器4、5の比較出力信号105、106を介して、デューティ補正信号113を出力して、発振回路1に送出するデューティ補正回路6とを備えて、システム・クロックを生成、出力する。



【特許請求の範囲】

【請求項1】 所定のシステム・クロックを発生する発振回路と、

前記発振回路より出力される発振出力信号と、当該発振出力信号の反転信号とを入力して、前記発振出力信号および前記反転信号のそれぞれに対応する充電作用を行い、前記発振出力信号に対応する第1の充電電圧と、前記反転信号に対応する第2の充電電圧とを出力する充電回路と、

それぞれ、前記前記第1の充電電圧を正相入力端に入力し、前記第2の充電電圧を逆相入力端に入力して、当該第1および第2の充電電圧のレベルを比較照合して比較出力信号を出力する第1および第2の比較器と、所定の補正開始信号を入力し、前記第1および第2の比較器の比較出力信号を介して前記発振出力信号のデューティを補正するためのデューティ補正信号を出力して、前記発振回路に送出するデューティ補正回路と、を備え、前記システム・クロックを生成して出力することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特にシステム・クロックを生成して出力する回路を構成する半導体集積回路に関する。

【0002】

【従来の技術】 従来のシステム・クロックを生成して出力する半導体集積回路においては、図4に示されるように、発振子入力端子54、発振子出力端子55および出力端子56に対応して、システム・クロックの周波数を規制する発振回路30と、インバータ31と、バイナリ・カウンタ32とを備えて構成されており、発振回路30からは、システム・クロックの周波数の2倍の周波数の信号が出力され、一つは直接バイナリ・カウンタ32に入力され、もう一つは、インバータ31を経由してバイナリ・カウンタ32に入力されており、バイナリ・カウンタ32からは発振回路30の周波数が2分周されてシステム・クロックとして出力される。

【0003】

【発明が解決しようとする課題】 上述した従来のシステム・クロックを生成して出力する半導体集積回路においては、発振子の発振周波数としては、必ずシステム・クロックの2倍の周波数に設定しなければならず、当該システム・クロックとして、より高い周波数のシステム・クロックが必要とされるシステムにおいては、その分だけより発振周波数の高い発振子が必要となり、当該発振子のコストが増大するとともに、発振周波数精度が相対的に劣化し、これによりシステム・クロック自体の周波数精度も劣化するという欠点があり、更に、発振周波数を2分周するバイナリ・カウンタの機能の限界により、拡散状態などがばらついた場合には、システム・ク

ロックが、正確に50%のデューティを保持する状態では得られないという欠点がある。

【0004】

【課題を解決するための手段】 本発明の半導体集積回路は、所定のシステム・クロックを発生する発振回路と、前記発振回路より出力される発振出力信号と、当該発振出力信号の反転信号とを入力して、前記発振出力信号および前記反転信号のそれぞれに対応する充電作用を行い、前記発振出力信号に対応する第1の充電電圧と、前記反転信号に対応する第2の充電電圧とを出力する充電回路と、それぞれ、前記前記第1の充電電圧を正相入力端に入力し、前記第2の充電電圧を逆相入力端に入力して、当該第1および第2の充電電圧のレベルを比較照合して比較出力信号を出力する第1および第2の比較器と、所定の補正開始信号を入力し、前記第1および第2の比較器の比較出力信号を介して前記発振出力信号のデューティを補正するためのデューティ補正信号を出力して、前記発振回路に送出するデューティ補正回路とを備え、前記システム・クロックを生成して出力することを特徴としている。

【0005】

【実施例】 次に、本発明について図面を参照して説明する。

【0006】 図1は本発明の一実施例を示すブロック図である。図1に示されるように、本実施例は、発振子入力端子51、発振子出力端子52および補正開始信号入力端子53に対応して、発振回路1と、インバータ2と、充電回路3と、比較器4および5と、デューティ補正回路6とを備えて構成される。発振回路1の発振周波数は、システム・クロックの周波数と同一の周波数に設定されており、当該発振回路1より出力される発振出力信号101は、直接充電回路3に入力されるとともに、もう一方においてはインバータ2を経由して反転された発振出力信号102が、同様に充電回路3に入力される。充電回路3においては、発振出力信号101および102の入力に対して、それぞれの発振出力信号の立上りに対応して充電作用が行われる。この充電作用は、発振出力信号101の整数倍の周期において行われる間欠的なリセット作用を介して、充電と放電とが繰返して実行される。上記の充電作用を介して、充電回路3よりは、一対の充電出力103および104が出力され、比較器4および5に入力される。

【0007】 図2(a)、(b)、(c)および(d)に示されるのは、それぞれ、発振出力信号101、発振出力信号102、発振出力信号101に対応する充電出力103、および発振出力信号102に対応する充電出力104の動作波形を示すタイミング図である。図2(a)、(b)、(c)および(d)において、T_rとして示されるのは前述のリセットのタイミングであり、ΔT_rとして示されるのは、リセット期間である。時刻

3

T_rにおいて開始されるリセットの期間 ΔT_r が過ぎると、時刻T₁において、発振出力信号101の立上りに対応して充電作用が開始され、その充電出力103として、図2(c)に示される電圧V₁が出力され、比較器4および5の正相入力端に入力される。また、他方、時刻T₂においては、発振出力信号102の立上りに対応して充電作用が開始され、その充電出力104として、図2(d)に示される電圧V₂が出力されて、比較器4および5の逆相入力端に入力される。

【0008】比較器4および5の相違点は、比較器4においては、正相入力端および逆相入力端の双方に等電位レベルが入力された時に“H”レベルが出力され、比較器5においては、正相入力端および逆相入力端の双方に等電位レベルが入力された時に“L”レベルが出力されるように回路設定が為されていることである。そして、それぞれの比較器4および5の入力端におけるオフセット電圧が20mV以内の範囲においては、上記の“H”レベルおよび“L”レベルの出力される状態に変わりがない。即ち、充電出力103および104における電圧レベル差異がオフセットを考慮して20mV以内であれば、上記の比較器4の出力として“H”レベルが出力され、比較器5の出力として“L”レベルが出力される状態に変わりがない。そして、充電回路3の充電出力103(電圧V₁)と充電出力104(電圧V₂)との電圧レベル差において、 $V_1 > V_2 + 20\text{mV}$ の状態であれば、比較器4および5よりは共に“H”レベルが出力され、また、 $V_1 + 20\text{mV} < V_2$ の状態であれば、比較器4および5よりは共に“L”レベルが出力される。

【0009】次いで、比較器4および5より出力される比較出力105および106はデューティ補正回路6に入力される。当該デューティ補正回路6には、補正開始信号入力端子53を介して、外部よりデューティ補正開始信号107も入力されており、発振回路1より出力される発振出力信号101によって規制されるシステム・クロックのデューティ比を補正するデューティ補正信号113が出力されて、発振回路1に送られる。

【0010】デューティ補正回路6は、図3のブロック図に示されるように、AND回路7と、NOR回路8と、初期値データ出力回路9と、シフトダウン・レジスタ10と、シフトアップ・レジスタ11と、マルチプレクサ12とを備えて構成される。まず、補正開始信号107が、初期値データ出力回路9に入力されると、一般的にはn(正整数)ビットの初期値データ110が、初期値データ出力回路9において生成されて出力される。なお以下の説明においては、一例として、n=6ビットの場合について説明するものとし、初期値データ出力回路9よりは、(1、1、1、0、0、0)の初期値データ110が出力されるものとする。この初期値データ110は、シフトダウン・レジスタ10、シフトアップ・レジスタ11およびマルチプレクサ12に入力される。

4

【0011】続いて、比較器4の出力105および比較器4の出力106として、それぞれ“L”レベルの信号がデューティ補正回路6に入力されるものとする、図3において、AND回路7より出力されるアップ信号108は“L”レベルの信号として出力され、また、NOR回路8より出力されるダウン信号109は“H”レベルの信号として出力される。この場合には、“H”レベルのダウン信号109がアクティブな信号として作用し、シフトダウン・レジスタ10およびマルチプレクサ12に送られる。これにより、シフトダウン・レジスタ10が動作を開始し、当該シフトダウン・レジスタ10に入力されている初期値データ110(1、1、1、0、0、0)はシフトダウンされて、(1、1、0、0、0、0)にて示されるデータ111として出力され、マルチプレクサ12に入力される。また、同様に、比較器4および5の出力105および106として、共に“H”レベルの信号が入力される場合には、図3において、AND回路7より出力されるアップ信号108は“H”レベルの信号として出力され、NOR回路8より出力されるダウン信号109は“L”レベルの信号として出力される。この場合には、“H”レベルのアップ信号108がアクティブな信号として作用し、シフトアップ・レジスタ11およびマルチプレクサ12に送られる。これにより、シフトアップ・レジスタ10が動作を開始して、当該シフトアップ・レジスタ10に入力されている初期値データ110(1、1、1、0、0、0)はシフトアップされて、(1、1、1、1、0、0)にて示されるデータ112として出力され、マルチプレクサ12に入力される。

【0012】マルチプレクサ12においては、上述のダウン信号109が“H”レベルの時には、シフトダウン・レジスタ10より入力されるシフトダウン後のデータ111が選択され、アップ信号108が“H”レベルの時には、シフトアップ・レジスタ11より入力されるシフトアップ後のデータ112が選択され、また、ダウン信号109およびアップ信号108が共に“L”レベルの場合には、初期値データ出力回路9より直接入力される初期値データ110(1、1、1、0、0、0)が、そのまま選択される。これらの選択されたデータは、それぞれ単独で、そのままデューティ補正信号113として出力され、前述のように、発振回路1に送られる。

【0013】発振回路1は、一例として、図4に示されるように、コンデンサ13および29と、PMOSトランジスタ14および23~28と、NMOSトランジスタ15と、抵抗16と、トランスファ・ゲート17~22とにより構成されており、PMOSトランジスタ14およびNMOSトランジスタ15のサイズは、それぞれ $W/L=41/7$ および $W/L=25/7$ に選択されている。またPMOSトランジスタ23~28のサイズは、全て $W/L=3/7$ に設定されている。これによ

5

り、標準拡散状態の場合、即ち典型的な使用状態（使用時における電源電圧が5.1V、PMOSトランジスタおよびNMOSトランジスタのしきい値電圧が共に0.7Vで、プロセス利得係数が、PMOSトランジスタの場合に $20\mu\text{A}/\text{V}^2$ で、NMOSトランジスタの場合に $40\mu\text{A}/\text{V}^2$ の状態）にある場合に、デューティ補正信号113として（1、1、1、0、0、0）が入力される場合には、トランスファ・ゲート17～19はオンし、トランスファ・ゲート20～22はオフの状態となる。これにより、PMOSトランジスタ14および23～25を含むサイズは、 $W/L=50/7$ となり、結果的に、動作状態にあるPMOSトランジスタとNMOSトランジスタ15の利得は一致し、CMOSのスレッシュホールド電圧は、電源電圧5Vの $1/2$ の2.5Vとなり、発振出力信号101のデューティは、希望の50%に設定される。

【0014】しかしながら、PMOSトランジスタとNMOSトランジスタとのしきい値電圧が、上述の典型的な使用状態とは異なる場合、例えば、PMOSトランジスタのしきい値電圧が0.8V、NMOSトランジスタのしきい値電圧が0.6Vになった場合には、初期状態（初期値データの値が、1、1、1、0、0、0の場合）においては、PMOSトランジスタおよびNMOSトランジスタの双方の利得が一致せず、PMOSトランジスタ側の利得の方が低くなり、CMOSのスレッシュホールド電圧は2.4Vとなって、システム・クロックのデューティは、マイナス側40%、プラス側60%となる。

【0015】この場合に対応するシステム・クロックが充電回路3に入力され、充電回路3、比較器4および5ならびにデューティ補正回路6の動作が開始されると、デューティ補正信号113は、（1、1、1、1、0、0）となり、トランスファ・ゲート17～20はオンの状態となり、これにより、PMOSトランジスタ側のサイズは $W/L=53/7$ となり、利得が上昇してCMOSのスレッシュホールド電圧は2.4Vよりも高くなる。従って、拡散状態により、MOSトランジスタの特性が変化し、システム・クロックのデューティが50%よりずれることがあっても、上述のように、充電回路3、比較器4および5、ならびにデューティ補正回路6の動作を介して、システム・クロックのデューティが、50%に収斂するように制御調整される。なお、発振回路1に対応する発振子の特性の変化によっても、システム・クロックのデューティが影響されるが、この場合に対しても、本発明は有効に作用する。

6

【0016】なお、図3に示されるデューティ補正回路の構成として、シフトダウン・レジスタ10およびシフトアップ・レジスタ11の代りに、それぞれダウンカウンタおよびアップカウンタを用いることによっても本発明は有効に作用する。

【0017】

【発明の効果】以上説明したように、本発明は、発振回路より出力されるシステム・クロックおよび当該システム・クロックの反転クロックを受けて、それぞれの充電作用を介してデューティのアンバランスを検出して出力する充電回路と、当該充電回路の一对の充電出力電圧のレベルを比較する回路とを備え、この比較出力を介して前記発振回路のデューティを補正制御することにより、拡散状態ならびに振動子におけるばらつきにより、当該デューティに影響を受けることのないシステム・クロックを生成して出力する半導体集積回路を提供することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】本実施例における動作信号のタイミング図である。

【図3】本実施例におけるデューティ補正回路を示すブロック図である。

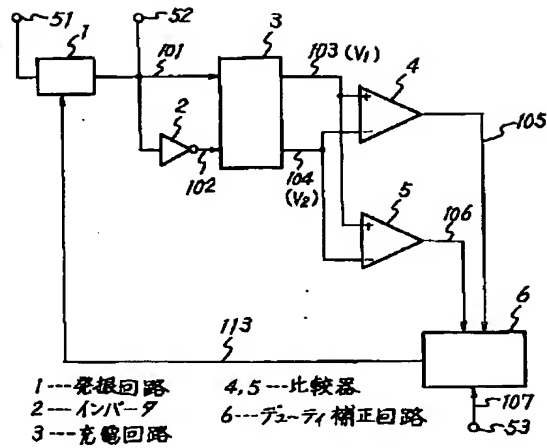
【図4】本実施例における発振回路を示すブロック図である。

【図5】従来例を示すブロック図である。

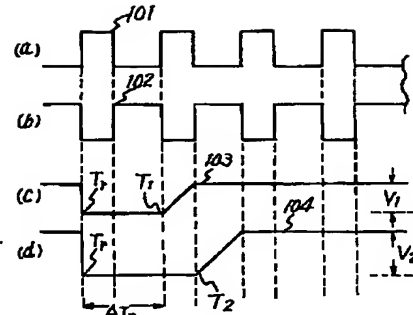
【符号の説明】

- 1、30 発振回路
- 2、31 インバータ
- 3 充電回路
- 4、5 比較回路
- 6 デューティ補正回路
- 7 AND回路
- 8 NOR回路
- 9 初期値データ出力回路
- 10 シフトダウン・レジスタ
- 11 シフトアップ・レジスタ
- 12 マルチプレクサ
- 13、29 コンデンサ
- 14、23～28 PMOSトランジスタ
- 15 NMOSトランジスタ
- 16 抵抗
- 17～22 トランスファ・ゲート
- 32 バイナリ・カウンタ

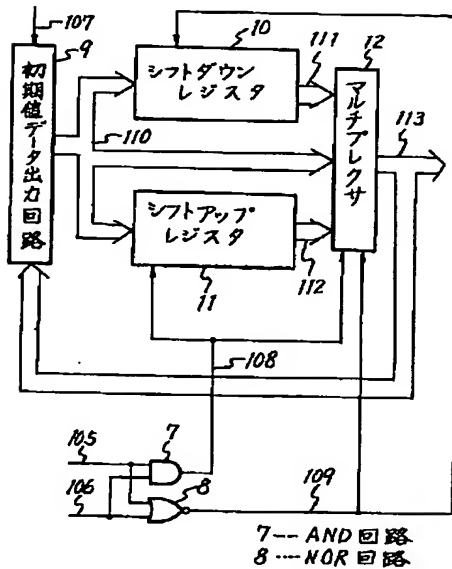
【図1】



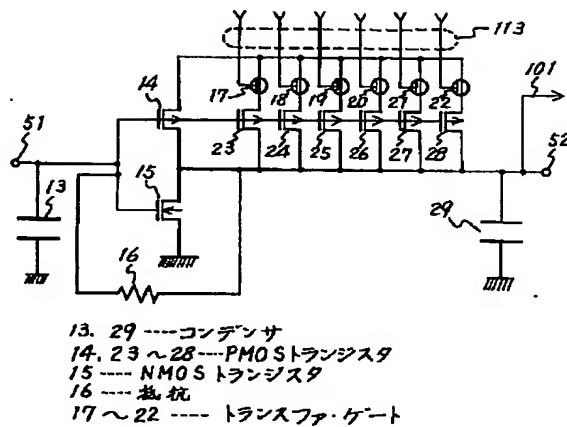
【図2】



【図3】



【図4】



【図5】

